

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-292682

⑫ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)11月29日

H 01 L 29/78  
27/12

3 1 1

Y-8422-5F  
7514-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 薄膜半導体装置の製造方法

⑮ 特 願 昭62-128728

⑯ 出 願 昭62(1987)5月26日

⑰ 発 明 者 清水 信 宏 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式  
会社内⑱ 発 明 者 井 上 成 人 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式  
会社内⑲ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号  
会社

⑳ 代 理 人 弁理士 最 上 務 外1名

## 明 細 書

## 1. 発明の名称

薄膜半導体装置の製造方法

## 2. 特許請求の範囲

(1) 次の(4)~(4)からなる薄膜半導体装置の製造方法。

(4) 絶縁基板上に、非晶質または多結晶の半導体膜を堆積した後、エネルギービームで前記半導体膜をアニールして、再結晶半導体膜にする工程。

(4) 前記再結晶半導体膜上に、比抵抗 $10\Omega$ 以下の低抵抗半導体膜とエネルギービームに対して吸収の大きい高融点金属膜とを堆積し、ソース領域とドレイン領域とを残して絶縁をエッチングした後、エネルギービームにより、前記ソース領域とドレイン領域の低抵抗半導体膜をアニールすることで、さらに低抵抗化し、ソース領域とドレイン領域のコンタクトを改善する工程。

(4) 素子を分離するために、前記再結晶半導体膜を島状にエッチングした後、全面にゲート絶縁膜を堆積する工程。

(4) 前記ソース領域とドレイン領域に、エッチングによりコンタクトホールを形成して、ゲート電極、ソース電極、ドレイン電極を製作する工程。

(4) 前記高融点金属膜の替わりに反射防止膜を前記ソース領域とドレイン領域に堆積する工程か、反射膜を前記ソース領域とドレイン領域以外に堆積する工程のうち、少なくともどちらか一方の工程を行う特許請求の範囲第1項記載の薄膜半導体装置の製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、絶縁物上に高速の薄膜トランジスタ(TFT)を製作する方法に関する。

(発明の概要)

本発明は、絶縁物上にTFTをビームアニールして製作する工程において、ソースとドレイン領域をビームアニールして低抵抗化する際に、ソースとドレイン領域を他の部分よりも高温になるようにして、選択的にアニールし、ソースとドレイ

特開昭63-292682 (2)

ン領域のコンタクトを改善し、TFETの特性を向上させる。

#### (従来の技術)

従来のソースとドレイン領域のビームアニール時の温度分布を第2図(a), (b)に示す。低抵抗半導体膜4をエネルギービーム3で活性化する工程で、ソース領域6とドレイン領域7は、エネルギービーム3に対して、他の部分よりも吸収が大きくないため、第2図(a)に示すようにソース領域6とドレイン領域7のみ選択的に高温にすることができなかった。

#### (発明が解決しようとする問題点)

ソースとドレイン領域のコンタクトが不十分で、TFETのリーク電流が大きく、ソースとドレインの耐圧も低く、特性が良くなかった。

#### (問題点を解決するための手段)

本発明は第1, 4, 5図に示すように、エネルギービーム3に対して、ソース領域6とドレイン領域7の吸収を他の部分よりも大きくして、選択的にアニールできるようにした。

- 3 -

で堆積する方法について説明する。堆積温度は室温から約400℃の間に設定し、原料ガスは、主にシラン( $\text{SiH}_4$ )やジシラン( $\text{Si}_2\text{H}_6$ )、またはジボラン( $\text{B}_2\text{H}_6$ )を5ppm以下ドーピングしたガスを使用する。膜厚は500Åから4000Åの間に設定するが、ここでは2700Åにする。

次に半導体膜2をエネルギービーム3でアニールする例について説明する。アニール方法にはレーザーや電子ビームまたはランプやヒータなどを用いた多数のエネルギー源があるが、ここではArレーザーを使用してアニールする方法を説明する。一般にプラズマCVD法により堆積したa-Siは、膜中に水素ガスが含まれているため、このガスを除去するプレアニールを行うことで後述の再結晶アニール後の結晶性が良くなる。プレアニール方法はa-Si中の水素ガスが約500℃以上で除去できることが知られており、この温度以上まで上昇できるアニール方法であればどの方法でも可能である。一例としては真空中または窒素や不活性ガス雰囲気中で、a-Siが溶融しない程度のエネルギー密度

#### (作用)

第3図(a), (b)に示すように、ソース領域6とドレイン領域7をエネルギービーム3に対して、吸収を大きくすることで、ビームアニール時の温度分布が、第3図(a)のように、ソース領域6とドレイン領域7のみ加熱させて、アニールすることができる。

#### (実施例)

以下図面によって本発明を説明する。第1図(a)~(d)は、本発明の第1実施例の工程を説明するための断面図である。第1図(a)は絶縁基板上に半導体膜2を堆積し、エネルギービーム3でアニールする工程である。絶縁基板1の例としては、石英や無アルカリガラスやアルカリなどの不純物を含んだガラスの表面に絶縁物をコートしてガラスからの不純物の拡散を防止したものなどがある。ここでは、550℃のプロセスが使用可能な無アルカリガラスを使用する。次に半導体膜2の例は、各種の膜と多数の堆積方法があるが、ここでは、アモルファスシリコン(a-Si)をプラズマCVD法

- 4 -

でArレーザーのエネルギービーム3を走査させて行うことができる。また窒素雰囲気中で550℃、1時間行っても良い。続いて再結晶アニールを行う。前記プレアニールと同様に、真空中または窒素または不活性ガス雰囲気中でArレーザーを使って、水素を除去したa-Siが溶融するエネルギー密度でエネルギービーム3を走査させる。この結果、半導体膜2は結晶化して再結晶半導体膜21となる。

第1図(b)は、再結晶半導体膜21上に比抵抗1Ω以下、低抵抗半導体膜4と高融点金属膜5を堆積して、ソース領域6とドレイン領域7のみを残し、他の低抵抗半導体膜4と高融点金属膜5をエッチングした後、ビームアニールにより活性化する工程である。低抵抗半導体膜4の例は、NチャネルTFETを製作する場合には、N型不純物を添加して、PチャネルTFETを製作する場合には、P型の不純物を添加する。ここではNチャネルTFETについて説明する。堆積方法は、各種CVD法、スパッタ法などがあるが、プラズマCVD法でa-Siを堆積する方法について説明する。堆

- 5 -

- 430 -

- 6 -

特開昭63-292682 (3)

堆積温度は室温から約 400℃の間で、原料ガスは  $\text{SiH}_4$  に 0.1% から 1% のホスフィン ( $\text{PH}_3$ ) を添加して、0.02  $\mu\text{m}$  から 0.1  $\mu\text{m}$  の間で堆積する。また  $\text{P}^+ \text{a-Si}$  の場合には、 $\text{SiH}_4$  にジボラン ( $\text{B}_2\text{H}_6$ ) などを添加して堆積する。さらに高融点金属膜 5 の例は、材料としては、クロム (Cr)、モリブデン (Mo)、タングステン (W) などや、前記金属のシリサイドがある。また堆積方法は、蒸着やスパッタ法がある。ここでは Cr をスパッタ法で 300 Å から 1000 Å の間で堆積する。次に高融点金属膜 5 と低抵抗半導体膜 4 をソース領域 6 とドレイン領域 7 のみ残してエッチングする。次にエネルギービーム 3 により、ソース領域 6 とドレイン領域 7 をアニールする。アニール方法は、前述したように多数の方法があるが、ここでは前記の方法と同様に  $\text{Ar}$  レーザを使って行う。アニール時の温度分布は第 3 図に示すように、高融点金属膜 5 によりソース領域 6 とドレイン領域 7 のみ吸収を大きくすることができるため、選択的に溶融ができる。その結果ソース、ドレインの十分な活性化が可能と

なる。またソース領域 6 とドレイン領域 7 が溶融しなくても、チャンネル領域 8 に比べて高温になるため、選択的な活性化が可能である。

第 1 図 (a) は、フォトリソ技術により、再結晶半導体膜 21 をエッチングして素子分離を行い、ゲート絶縁膜 9 を堆積する工程である。エッチング方法は、絶縁基板 1 と十分な選択比があれば、ドライでもウェットでも良い。ここでは  $\text{CF}_4$  と酸素 ( $\text{O}_2$ ) との混合ガスによるプラズマエッチングで可能である。ゲート絶縁膜 9 は、各種 CVD 法、スパッタ法などで、酸化シリコン膜 ( $\text{SiO}_2$ ) や窒化シリコン膜 ( $\text{Si}_3\text{N}_4$ ) などが堆積できる。ここでは  $\text{SiO}_2$  をプラズマ CVD 法で堆積する方法を説明する。堆積温度は室温から 300℃の間で、原料ガスは、 $\text{SiH}_4$  と  $\text{H}_2\text{O}$  を主に使う。膜厚は 500 Å から 3000 Å の間で堆積する。堆積後、窒素雰囲気中で 500℃以上で 30 分以上のアニールを行い膜質の向上を行う。

第 1 図 (b) は、ソース領域 6 とドレイン領域 7 にコンタクトホールをフォトリソ技術で形成し、ゲ

- 7 -

ート電極 10、ソース電極 11、ドレイン電極 12 を形成する工程である。コンタクトホールは、フォトリソ技術でウェットエッチングを行うことにより、容易に形成できる。各電極は、堆積方法としてスパッタ法や蒸着法があり、材料も Al、Mo、W や Al-Si、Mo-Si、W-Si などのシリサイドがある。一例としては、マグネトロンスパッタ法で Al-Si を 0.5  $\mu\text{m}$  から 1  $\mu\text{m}$  で堆積する。堆積後、フォトリソ技術でパターニングして、ゲート電極 10、ソース電極 11、ドレイン電極 12 を形成する。

第 4 図は、本発明の第 2 の実施例を示す断面図である。工程は第 1 図 (a) に該当し、ソース領域 6 とドレイン領域 7 上に反射防止膜 51 を堆積し、エネルギービーム 3 でアニールする。この時、第 3 図に示すような温度分布が得られ、選択的なアニールが可能である。反射防止膜 51 の例は、 $\text{SiO}_2$  や  $\text{Si}_3\text{N}_4$  などを各種 CVD 装置で堆積可能である。またパターニングもフォトリソ技術により容易にできる。

第 5 図は、本発明の第 3 の実施例を示す断面図

- 8 -

である。工程は第 1 図 (a) に該当し、反射膜 52 をソース領域 6 とドレイン領域 7 以外に堆積し、エネルギービーム 3 でアニールする。この時第 3 図に示すような温度分布が得られ、選択的なアニールが可能である。反射膜 52 の例は反射防止膜 51 と同様の膜が使え、膜厚を変えることで容易に反射膜となる。アニール後反射膜 52 はエッチングにより除去する。

上記第 1 ～ 第 3 実施例は、2 つ以上の組合わせが可能で、高融点金属膜 5、反射防止膜 51、反射膜 52 とを組合わせて堆積することにより、さらに効率的なアニールが可能となる。

(発明の効果)

本発明は、ソース領域、ドレイン領域をエネルギービームで活性化する際に、高融点金属膜、反射防止膜、反射膜を組合わせることで、効率的な活性化が可能となる。

#### 4. 図面の簡単な説明

第 1 図 (a) ～ (d) は本発明の第 1 実施例を説明する

特開昭63-292682 (4)

ための断面図である。第2図は従来のビームアニール時の温度分布を示す説明図であり、第3図は本発明のビームアニール時の温度分布を示す説明図である。第4図、第5図は本発明の第2、第3の実施例を説明するための断面図である。

- 1・・・絶縁基板
- 2・・・半導体膜
- 3・・・エネルギービーム
- 4・・・低抵抗半導体膜
- 5・・・高融点金属膜
- 9・・・ゲート絶縁膜
- 21・・・再結晶半導体膜
- 51・・・反射防止膜
- 52・・・反射膜

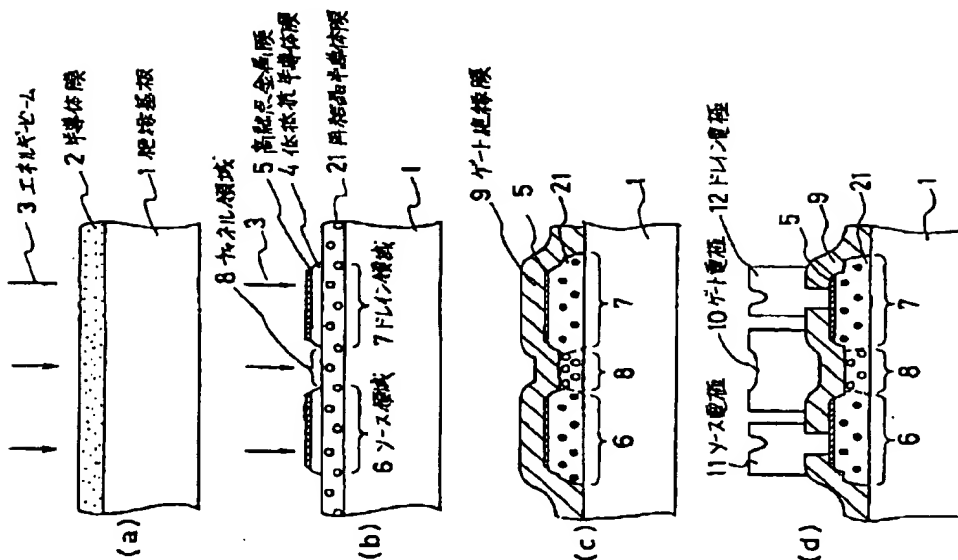
以 上

出願人 セイコー電子工業株式会社

代理人 弁理士 最 上 隆 (他1名)

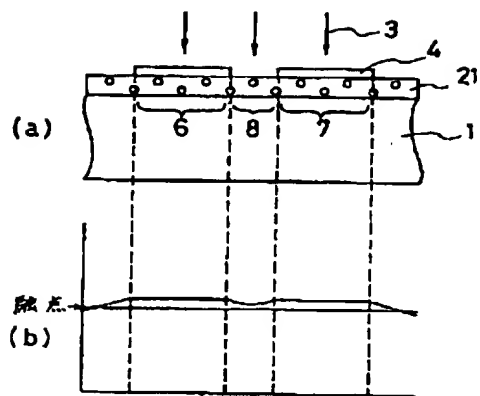


- 11 -



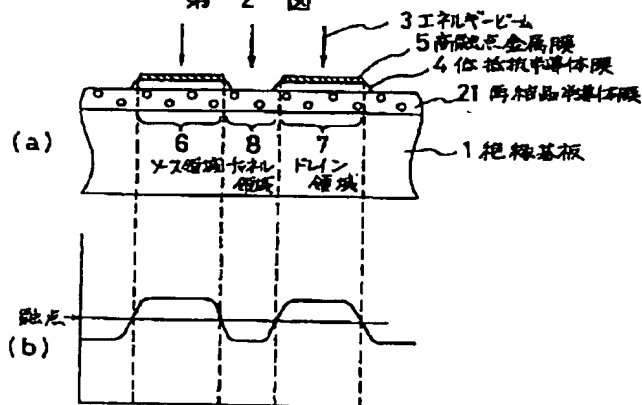
本発明の第1実施例の工程を示す断面図  
第1図

特開明63-292682 (5)



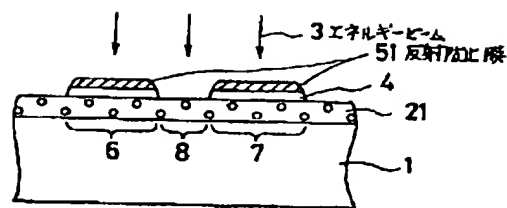
従来のビームアニール時の温度分布を示す説明図

第 2 図



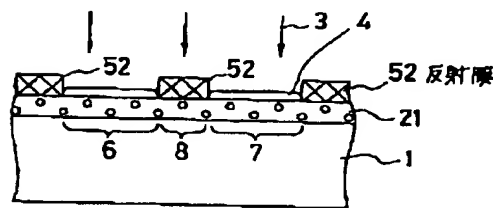
本発明のビームアニール時の温度分布説明図

第 3 図



本発明のオ 2 の実施例の工程の一部を示す断面図

第 4 図



本発明のオ 2 の実施例の工程の一部を示す断面図

第 5 図

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

007753102 \*\*Image available\*\*

WPI Acc No: 1989-018214/198903

Prod. of high-speed thin-film transistor - by depositing amorphous or polycrystalline semiconductor film on insulator substrate and annealing

NoAbstract Dwg 1/5

Patent Assignee: SEIKO DENSHI KOGYO KK (DASE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 63292682</b>	A	19881129	JP 87128728	A	19870526	198903 B

Priority Applications (No Type Date): JP 87128728 A 19870526

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 63292682	A	15		

Title Terms: PRODUCE; HIGH; SPEED; THIN; FILM; TRANSISTOR; DEPOSIT;

AMORPHOUS; POLYCRYSTALLINE; SEMICONDUCTOR; FILM; INSULATE;

SUBSTRATE; ANNEAL; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-027/12; H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02675782 \*\*Image available\*\*

MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.: 63-292682 [JP 63292682 A]

PUBLISHED: November 29, 1988 (19881129)

INVENTOR(s): SHIMIZU NOBUHIRO

INOUE SHIGETO

APPLICANT(s): SEIKO INSTR & ELECTRONICS LTD [000232] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 62-128728 [JP 87128728]

FILED: May 26, 1987 (19870526)

INTL CLASS: [4] H01L-029/78; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 733, Vol. 13, No. 123, Pg. 112, March 27, 1989 (19890327)

#### ABSTRACT

**PURPOSE:** To improve the contact between a source region and a drain region and to improve the characteristics of a TFT, when the source and drain regions are annealed with a beam and the resistances of the regions are made low, by making the temperature of the regions higher than other parts, and selectively performing the annealing.

**CONSTITUTION:** For an insulating substrate 1, glass without alkali is used. As a semiconductor film 2, amorphous silicon is deposited. Then, a semiconductor film 2 is annealed with an energy beam 3. As a result, the semiconductor film 2 is crystallized, and a recrystallized semiconductor film 21 is formed. Then, a low resistance semiconductor film 4 and a high melting point metal film 5 are deposited. Only a source region 6 and a drain region 7 are made to remain, and etching is performed. Then, the source region 6 and the drain region 7 are annealed. Absorption only at the source region 6 and the drain region 7 can be made large owing to the temperature distribution at the high melting point metal film 5 at the time of annealing. Therefore, fusing can be selectively performed. The source and the drain can be sufficiently activated. A reflecting film or a reflection preventing film is deposited in addition to the high melting point metal film 5, and the selective annealing can be performed. In this way, the source and drain regions are combined with the high melting point metal film, the reflection preventing film and reflecting film, and therefore the efficient activation becomes possible.